

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04182968 A**

(43) Date of publication of application: **30.06.92**

(51) Int. Cl.

**G11B 20/10**

(21) Application number: **02311570**

(22) Date of filing: **19.11.90**

(71) Applicant: **FUJITSU LTD**

(72) Inventor: **SUGAWARA TAKAO  
MIZOSHITA YOSHIBUMI  
AIKAWA TAKASHI  
MUTO HIROSHI  
KASAI KIICHIROU**

(54) **MAXIMUM LIKELIHOOD DECODING CONTROL SYSTEM**

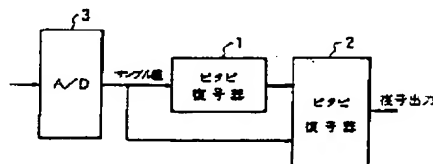
executed in this way and the error rate is improved.

COPYRIGHT: (C)1992,JPO&Japio

(57) Abstract:

PURPOSE: To improve the error rate of decoding without increasing a circuit scale by executing the max. likelihood decoding by two-stage constitution of a 1st Viterbi decoder and a 2nd Viterbi decoder.

CONSTITUTION: This system has the 1st Viterbi decoder 1 which makes temporally max. likelihood decoding of a sample value by an AD converter (A/D) 3 of the signal subjected to waveform interference and the 2nd Viterbi decoder 2 which makes max. likelihood decoding by being inputted with the output of this 1st Viterbi decoder 1 and the sample value. The interference quantity by the future quantity to the data of the present point of the time is estimated by using the output of the 1st Viterbi decoder 1 and the interference quantity by the past data to the data of the present point of the time is estimated by the contents of a path memory, by which the tentative sample value is determined. Decoding processing is executed by using this tentative sample value and the sample value. Two stages of error correction decoding are eventually



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-182968

⑬ Int. Cl.<sup>5</sup>  
G 11 B 20/10

識別記号 庁内整理番号  
3 4 1 Z 7923-5D

⑭ 公開 平成4年(1992)6月30日

審査請求 未請求 請求項の数 2 (全9頁)

⑮ 発明の名称 最尤復号制御方式

⑯ 特 願 平2-311570

⑰ 出 願 平2(1990)11月19日

⑱ 発 明 者 菅 原 隆 夫 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内  
⑲ 発 明 者 溝 下 義 文 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内  
⑳ 発 明 者 相 川 隆 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内  
㉑ 発 明 者 武 藤 弘 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内  
㉒ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地  
㉓ 代 理 人 弁理士 柏谷 昭司 外1名  
最終頁に続く

明 細 書

1 発明の名称

最尤復号制御方式

2 特許請求の範囲

(1)、波形干渉を受けた信号を最尤復号法により復号する最尤復号制御方式に於いて、

前記信号のサンプル値を用いて仮に最尤復号する第1のビタビ復号器(1)と、

該第1のビタビ復号器(1)の出力と前記サンプル値とを入力して最尤復号する第2のビタビ復号器(2)とを備え、

該第2のビタビ復号器(2)に於いて、前記第1のビタビ復号器(1)の出力を用いて現時点のデータに対する未来のデータによる干渉量を推測し、且つバスメモリの内容により現時点のデータに対する過去のデータによる干渉量を推測して仮定サンプル値を求め、該仮定サンプル値と前記サンプル値とを用いて復号処理を行う

ことを特徴とする最尤復号制御方式。

(2)、前記第1のビタビ復号器(1)のACS回

路からのメトリック値を前記第2のビタビ復号器(2)のACS回路に入力し、且つ前記第1のビタビ復号器(1)のバスメモリの最終段の出力を前記第2のビタビ復号器(2)のACS回路に加える仮定サンプル値の算出部に入力することを特徴とする請求項1記載の最尤復号制御方式。

3 発明の詳細な説明

〔概要〕

波形干渉を受けた信号を最尤復号する最尤復号制御方式に関し、

過去のデータによる波形干渉を考慮すると共に、未来のデータによる波形干渉も考慮して、復号誤り率を改善することを目的とし、

波形干渉を受けた信号を最尤復号法により復号する最尤復号制御方式に於いて、前記信号のサンプル値を用いて仮に最尤復号する第1のビタビ復号器と、該第1のビタビ復号器の出力と前記サンプル値とを入力して最尤復号する第2のビタビ復号器とを備え、該第2のビタビ復号器に於いて、前記第1のビタビ復号器の出力を用いて現時点の

データに対する未来のデータによる干渉量を推測し、且つバスメモリの内容により現時点のデータに対する過去のデータによる干渉量を推測して仮定サンプル値を求め、該仮定サンプル値と前記サンプル値とを用いて復号処理を行うように構成した。

#### (産業上の利用分野)

本発明は、波形干渉を受けた信号を最尤復号する最尤復号制御方式に関するものである。

磁気ディスク装置等の磁気記録装置に於いて、再生信号を最尤復号法により復号して、誤り率の改善が図られている。最尤復号法は、仮定データ列の中から最も確からしいデータを選択して復号するもので、ビタビ復号器が一般的である。

#### (従来の技術)

磁気記録装置の従来例の復調系の構成は、例えば、第6図に示すもので、61は磁気ディスク等の記録媒体から記録データを再生する磁気ヘッド、62は増幅器、63はイコライザ、64はパルス化回路、65は位相同期回路(PLL)、66は

イコライザ、67はAD変換器(A/D)、68はビタビ復号器である。

磁気ヘッド61による再生信号は増幅器62により増幅され、フィルタ等を含むイコライザ63、66により等化増幅されると共にノイズ除去等が行われ、パルス化回路64に於いてピーク検出によりパルスが形成され、位相同期回路65により再生信号に位相同期したクロック信号が得られ、このクロック信号はAD変換器67のサンプリングクロック信号となり、イコライザ66により等化された再生信号がAD変換器67に於いてサンプリングされ、再生信号のサンプル値はビタビ復号器68に加えられて復号される。

ビタビ復号器は、畳込み符号の最尤復号器として知られており、例えば、第7図に示すように、分配器71と、ACS回路72-1~72-4と、バスメモリ73と、正規化回路74と、バスセクタ75とを備えており、分配器71によりブランチメトリック値を計算してACS回路72-1~72-4に分配する。このACS回路72-1

~72-4は、畳込み符号の拘束長を $k$ とすると、 $2^{k-1}$ 個設けるもので、第7図に於いては、拘束長 $k=3$ の場合を示すことになる。

又ACS回路72-1~72-4は、それぞれ加算器(A)と比較器(C)とセクタ(S)とにより構成され、ブランチメトリック値と前回のバスメトリック値とを加算器(A)により加算して、比較器(C)により比較し、バスメトリック値の小さい方を生き残りバスのバスメトリック値としてセクタ(S)により選択し、その時のバス選択信号をバスメモリ73に加えるもので、バスメモリ73は、拘束長 $k$ の4~5倍の段数のバスメモリセルを有し、生き残りバスとして記憶され、最終段の出力がバスセクタ75に加えられる。多段決処理等により復号出力が得られる。又バスメトリック値の演算に於いて、オーバーフローするような桁数となると、正規化回路74によりバスメトリック値の正規化が行われる。

このようなビタビ復号器を波形干渉を受けた符号の復号に用いる場合、ACS回路は、仮定サン

プル値と実際のサンプル値との誤差の二乗と、前回のバスメトリック値との和を求めて比較し、加算出力の新たなバスメトリック値の小さい方を選択して、次のバスメトリック値とし、その選択情報をバスメモリ73に加えるものである。

第8図は拘束長3のトレリス線図を示し、実線矢印は入力データが“0”、点線矢印は入力データが“1”の時の遷移を示し、丸印は内部状態を示す。例えば、バスP0、P1に於ける仮定サンプル値を、第9図の(a)、(b)の $y_{p0}$ 、 $y_{p1}$ とすることができる。この値は、第9図の(a)の現在として示す3ビットの仮定バス( $a_{-1}$ 、 $a_0$ 、 $a_1$ )の波形干渉により求めるもので、第9図の(c)の孤立波形に於けるビット周期によるサンプル値を $g_i$ とし、拘束長を $k$ 、 $m=(k-1)/2$ として、

$$y = \sum_{i=-m}^{m-1} g_i \cdot a_i \quad \dots (1)$$

により求めるものである。従って、 $y_{p0}$ 、 $y_{p1}$ は拘束長 $k=3$ とすると、 $m=1$ となるから、 $i=-1$ から $i=+1$ までの間について(1)式により求

めた値となる。

又過去のデータからの干渉も考慮する場合は、バスメモリの値 ( $b_1, b_2, \dots$ ) を用いることにより、

$$y = \sum_{i=1}^{k-1} g_{-i} a_i + \sum_{i=1}^k g_{-i} b_i \quad \dots (2)$$

によって求めることができる。

第10図は前述の(2)式に基づいて過去のデータからの干渉を考慮した従来例の要部ブロック図であり、ACS回路81と、バスメモリ82と、バスセレクト83と、仮定バスメモリ84とを備え、磁気ディスク装置等に於ける再生信号等の復号すべき信号のサンプル値がACS回路81に加えられる。バスメモリ82及び仮定バスメモリ84は、“1”、“0”、“-1”を記憶できるシフトレジスタの構成を有し、又ACS回路81は、仮定サンプル値と実際のサンプル値との差の二乗出力と、前回算出したバスマトリック値との和を求めて比較し、小さい方を選択するもので、選択された仮定バスの最後尾の値がバスメモリ82に入力

される。

従って、バスメモリ82の値は復号値として最も確からしいものではないが、仮定バスに繋がるものとして、その時点で確からしい値である。又バスセレクト83は、その時点に於けるバスマトリック値の最小値を検出して、その状態に繋がるバスの選択を行い、最後尾のデータを復号出力とするものである。又バスメモリ82と仮定バスメモリ84との間を結ぶ矢印は、(2)式に示すように、乗算と加算とを行うことを示す。

〔発明が解決しようとする課題〕

前述のように、過去のデータからの干渉も考慮することにより、正確な仮定サンプル値を推定することができる。しかし、1ビット分先のバスを考慮した場合、例えば、第8図のトレリス線図に於けるバスP0に続くバスをP00、P10とした時の仮定サンプル値は、第9図の(4)、(5)に示す  $y_{000}, y_{010}$  となり、未来のデータが“1”の場合にその干渉量を考慮しなければ仮定サンプル値の誤差が大きくなる。従って、拘束長kを大き

くし、即ち、仮定バスのビット数を増加して、干渉量を正確に推定する必要がある。しかし、復号器の回路規模は  $2^k$  に比例するから、拘束長kを大きくすることは回路規模が膨大となり、実現困難となる。

又第10図に示す従来例のような過去のデータによる干渉を考慮した復号方式に於いては、前述のように、未来のデータによる干渉を考慮していないので、このような干渉を等とするような特殊な等化を行う必要がある。この特殊な等化は、磁気記録のトラック毎に干渉量が異なる磁気ディスク装置等に対しては、実用化の点で大きな障害となっている。

本発明は、過去のデータによる波形干渉を考慮すると共に、未来のデータによる波形干渉も考慮して、復号誤り率を改善することを目的とするものである。

〔課題を解決するための手段〕

本発明の最尤復号制御方式は、前段のビタビ復号器の出力を用いて、後段のビタビ復号器に於い

て仮定バスの前方の干渉量を推測して復号するものであり、第1図を参照して説明する。

波形干渉を受けた信号のA/D変換器(A/D)3によるサンプル値を用いて仮に最尤復号する第1のビタビ復号器1と、この第1のビタビ復号器1の出力と前記サンプル値とを入力して最尤復号する第2のビタビ復号器2とを備え、この第2のビタビ復号器2に於いて、第1のビタビ復号器1の出力を用いて現時点のデータに対する未来のデータによる干渉量を推測し、且つバスメモリの内容により現時点のデータに対する過去のデータによる干渉量を推測して仮定サンプル値を求め、この仮定サンプル値と前記サンプル値とを用いて復号処理を行うものである。

又第1のビタビ復号器1のACS回路からのバスマトリック値を第2のビタビ復号器2のACS回路に入力し、且つ第1のビタビ復号器1のバスメモリの最終段の出力を第2のビタビ復号器2のACS回路に加える仮定サンプル値の算出部に入力するものである。

## 〔作用〕

請求項1に於いて、第1のビタビ復号器1により誤り訂正復号された仮の復号値を用いて、第2のビタビ復号器2により最尤復号を行うものであり、2段階の誤り訂正復号を行うことになるから、誤り率を改善することができる。又第2のビタビ復号器2は、第1のビタビ復号器1からの仮の復号値を用いて、未来のデータによる干渉量を推測して仮定サンプル値を算出するもので、仮定バスの長さを長くすることなく、正確な仮定サンプル値を得ることができる。従って、誤り率を改善することができる。

請求項2に於いて、第1のビタビ復号器1のバスメモリの最終段の出力を選択して復号出力とすることなく、その最終段の出力を第2のビタビ復号器2に入力し、それを用いて未来のデータによる干渉量を推測するものである。又第1のビタビ復号器1のACS回路からのメトリック値を第2のビタビ復号器2のACS回路に入力して、メトリック演算に於いて加算し、メトリック値の比較

って、イコライザ16からの再生信号をサンプリングするもので、サンプル値は第1、第2のビタビ復号器18、19に加えられる。

第1のビタビ復号器18は、ACS回路とバスメモリとバスセクタと仮定バスメモリとを含み、従来例と同様に復号処理を行い、その復号出力を仮の復号値とするものである。又第2のビタビ復号器19は、この仮の復号値を用いて仮定バスの前方からの干渉量を推測して復号処理を行うものである。この場合、仮の復号値と、第2のビタビ復号器19に入力されるサンプル値との位相合わせが必要となるが、第1のビタビ復号器18に於ける仮定バスの長さ(拘束長)と、バスメモリの長さから、仮の復号値が得られる遅延量を求めることができるので、シフトレジスタ等による遅延回路により位相合わせの構成は容易に実現できる。

又誤り訂正復号器20は、入力された信号が誤り訂正符号化されている場合に設けるもので、第1のビタビ復号器18の復号出力について、誤り

を容易にするものである。

## 〔実施例〕

以下図面を参照して本発明の実施例について詳細に説明する。

第2図は本発明の実施例のブロック図であり、11は磁気ヘッド、12は増幅器、13、16はイコライザ、14はパルス化回路、15は位相同期回路(PLL)、17はAD変換器(A/D)、18、19は第1、第2のビタビ復号器、20は誤り訂正復号器である。

磁気ディスク等の記録媒体から磁気ヘッド11により再生された信号は、波形干渉を受けているものであり、この再生信号は増幅器12により増幅され、フィルタ等を含むイコライザ13、16により等化増幅されると共にノイズ除去等が行われ、パルス化回路14に於いてピーク検出によりパルス化されて位相同期回路15に加えられ、位相同期回路15から再生信号位相に同期したクロック信号がAD変換器17に加えられる。AD変換器17は、このクロック信号のタイミングに従

て誤り訂正復号し、それを仮の復号値として、第2のビタビ復号器19に入力することになる。

前述のように、第1のビタビ復号器18により誤り訂正復号が行われ、更に第2のビタビ復号器19により誤り訂正復号が行われるから、誤り率が改善される。

前述のように、未来のデータによる干渉を考慮した場合に、第9図の(c)の孤立波形のビット周期のサンプル値 $g_i$ と、現在、過去、未来のバスの値 $a_i$ 、 $b_i$ 、 $c_i$ とを用いて、仮定サンプル値 $y$ を次式で求めるものである。

$$y = \sum_{i=1}^{n-1} g_{-i} a_i + \sum_{i=1}^{n-1} g_{-i} b_i + \sum_{i=1}^{n-1} g_{-i} c_i \quad \dots (3)$$

第3図は前述の(3)式の処理を行う第2のビタビ復号器19の要部を示し、21は第1のビタビ復号器18と同様な構成の復号部、22は仮の復号値をシフトするシフトレジスタ、23は仮定バスメモリ、24はACS回路、25はバスメモリ、26はバスセクタである。シフトレジスタ22と仮定バスメモリ23とバスメモリ25とは、そ

れぞれ“1”、“0”、“-1”を記憶できる構成とするものである。又第1のビタビ復号器18からの仮の復号値はシフトレジスタ22に順次シフトされ、サンプル値はACS回路24に入力される。

拘束長 $k$ （仮定バスの長さ）を3とすると、仮定バスメモリ23の3ビット $a_{-1}$ 、 $a_0$ 、 $a_1$ と、バスメモリ25の3ビット $b_{-1}$ 、 $b_0$ 、 $b_1$ と、シフトレジスタ22の3ビット $c_{-1}$ 、 $c_0$ 、 $c_1$ （各ビットの時間位置は第9図の(a)参照）と、孤立波形のサンプル値 $g_i$ （サンプル値の時間位置は第9図の(c)参照）とを用いて、仮定サンプル値 $y$ が(3)式に従って求められるもので、矢印により乗算と加算とを行うことを示す。

第4図は(3)式による仮定サンプル値 $y$ を算出する仮定サンプル算出部の要部ブロック図であり、22はシフトレジスタ、23は仮定バスメモリ、25はバスメモリ、31~39は乗算器、40は加算器である。孤立波形のサンプル値 $g_{-4} \sim g_4$ （第9図の(c)参照）に対して、第1のビタビ復号

器18からの仮の復号値が加えられるシフトレジスタ22の3ビット $c_{-1}$ 、 $c_0$ 、 $c_1$ と、仮定バスメモリ23の3ビット $a_{-1}$ 、 $a_0$ 、 $a_1$ と、バスメモリ25の3ビット $b_{-1}$ 、 $b_0$ 、 $b_1$ とが乗算器31~39に加えられて乗算され、各乗算器31~39の出力が加算器40に加えられ、その加算器40の出力が仮定サンプル値 $y$ としてACS回路24に入力されるものである。そして、ACS回路24に於いてサンプル値との差が求められる。即ち、過去のデータによる干渉と未来のデータによる干渉とを考慮した仮定サンプル値 $y$ が得られる。

第5図は本発明の他の実施例の要部ブロック図であり、41、42はシフトレジスタ、43は仮定バスメモリ、44はACS回路、45はバスメモリ、51は第1のビタビ復号器、52は第2のビタビ復号器、53は仮定バスメモリ、54はACS回路、55はバスメモリ、56はバスセレクト、57はシフトレジスタである。

第1のビタビ復号器51のACS回路44にサ

ンプル値が入力され、仮定バスメモリ43の内容に基づいて(1)式による仮定サンプル値が求められ、或いはバスメモリ45の内容も用いて(2)式による仮定サンプル値が求められ、サンプル値と仮定サンプル値との差の二乗出力と前回のメトリック値との和が求められて比較され、小さい方を次のメトリック値として選択され、そのメトリック値はシフトレジスタ42を介して第2のビタビ復号器52のACS回路54に入力され、選択情報はバスメモリ45に加えられ、そのバスメモリ45の最終段の出力は第2のビタビ復号器52のシフトレジスタ57に入力される。又サンプル値はシフトレジスタ41を介して第2のビタビ復号器52のACS回路54に入力される。

シフトレジスタ41、42は、第1のビタビ復号器51と第2のビタビ復号器52との間の位相合わせを行う為の遅延回路として作用するものであり、第1のビタビ復号器51の仮定バスメモリ43の長さとバスメモリ45の長さとは対応して選定される。

第2のビタビ復号器52に於いては、シフトレジスタ57の内容と、仮定バスメモリ53の内容と、バスメモリ55の内容とを基に、矢印で示すように、(3)式に従った乗算、加算処理により、仮定サンプル値が算出され、ACS回路54に於いては、この仮定サンプル値とシフトレジスタ41を介して入力されたサンプル値との差の二乗出力と、前回のメトリック値及びシフトレジスタ42を介して入力されたメトリック値との和が求められて比較され、小さい方が次のメトリック値として選択がされて、次のメトリック値となる。従って、第1のビタビ復号器51の復号値として可能性のあるバスメモリ45の値と、その確からしさを示すメトリック値とを含めて、第2のビタビ復号器52に転送され、サンプル値の最尤復号が行われるから、誤り率が改善される。

本発明は、前述の各実施例にのみ限定されるものではなく、磁気記録装置の再生信号以外の波形干渉を受けた信号の復号にも適用できるものである。

(発明の効果)

以上説明したように、本発明は、第1のビタビ復号器1と第2のビタビ復号器2との2段構成により最尤復号するものであり、拘束長を大きくすることなく、仮定パスより未来に相当するデータからの波形干渉を予測して、より正確な仮定サンプル値を求めることができるから、回路規模を増大することなく、復号の誤り率を改善することができる利点がある。

又過去のデータからの波形干渉のみを考慮した従来例に於いては、未来に相当するデータからの波形干渉を除く為に特殊な等化が必要となり、実用的な構成を実現することは困難であるが、本発明によれば、このような特殊な等化は不要となり、実用化が容易となる利点がある。

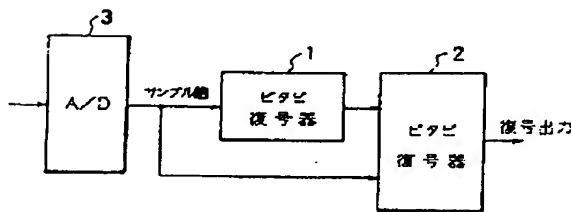
4 図面の簡単な説明

第1図は本発明の原理説明図、第2図は本発明の実施例のブロック図、第3図は本発明の一実施例の要部ブロック図、第4図は仮定サンプル値算出部の要部ブロック図、第5図は本発明の他の実

施例の要部ブロック図、第6図は従来例のブロック図、第7図はビタビ復号器のブロック図、第8図は拘束長3のトレリス線図、第9図(a)~(e)は信号波形説明図、第10図は従来例の要部ブロック図である。

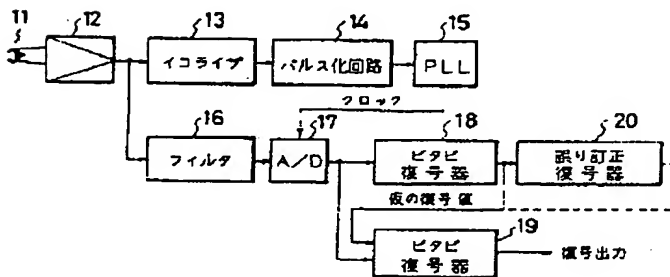
1は第1のビタビ復号器、2は第2のビタビ復号器、3はA/D変換器(A/D)である。

特許出願人 富士通株式会社  
代理人弁理士 柏谷昭司  
代理人弁理士 渡邊弘一



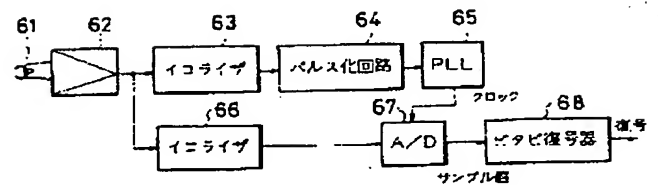
本発明の原理説明図

第1図



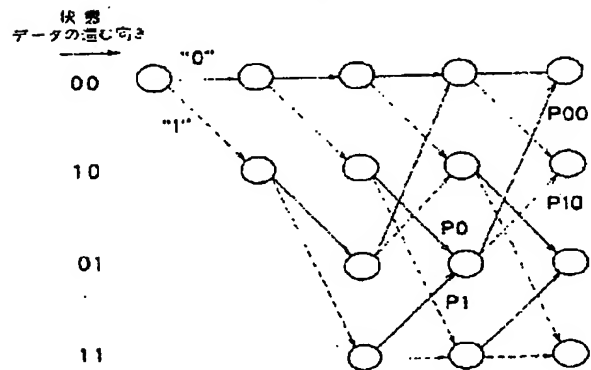
本発明の実施例のブロック図

第2図



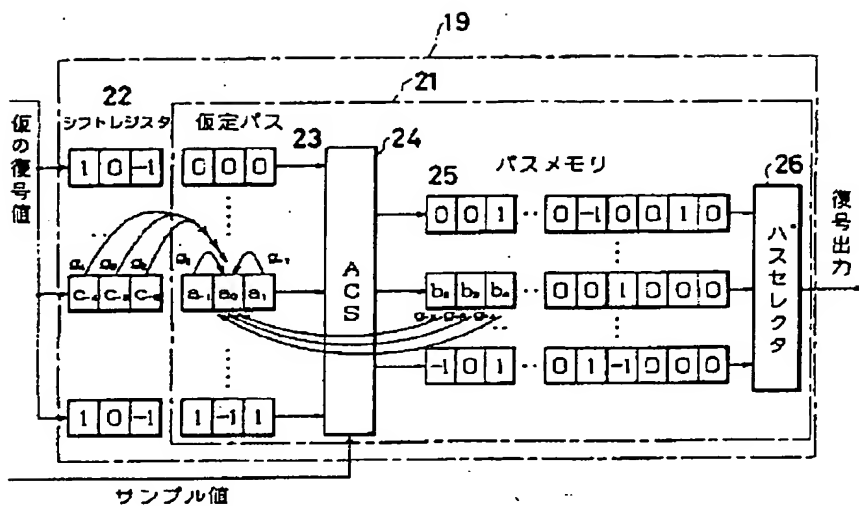
従来例のブロック図

第6図



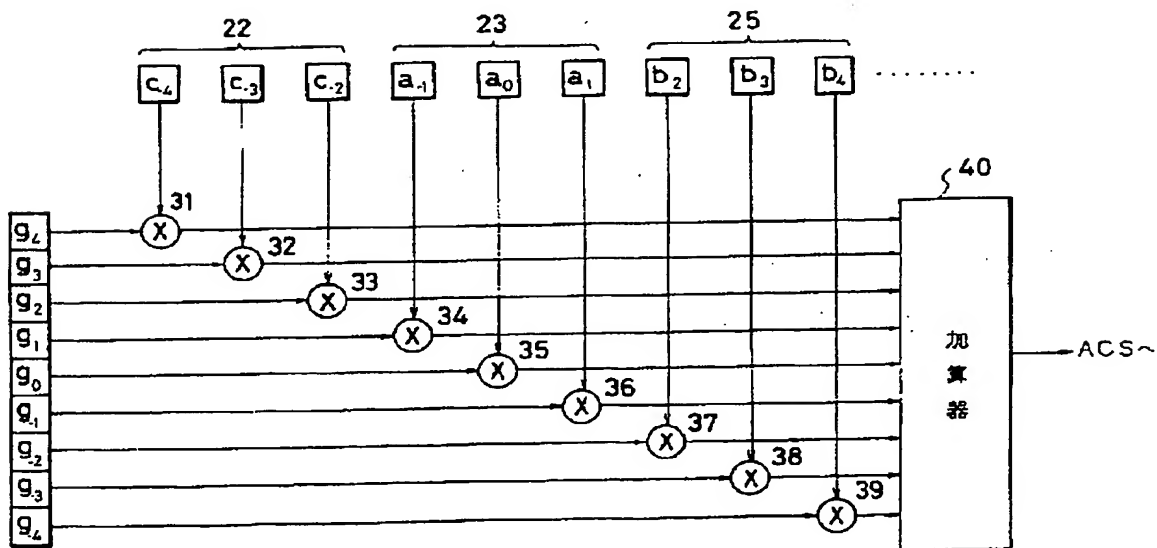
拘束長3のトレリス線図

第8図



本発明の一実施例の要部ブロック図

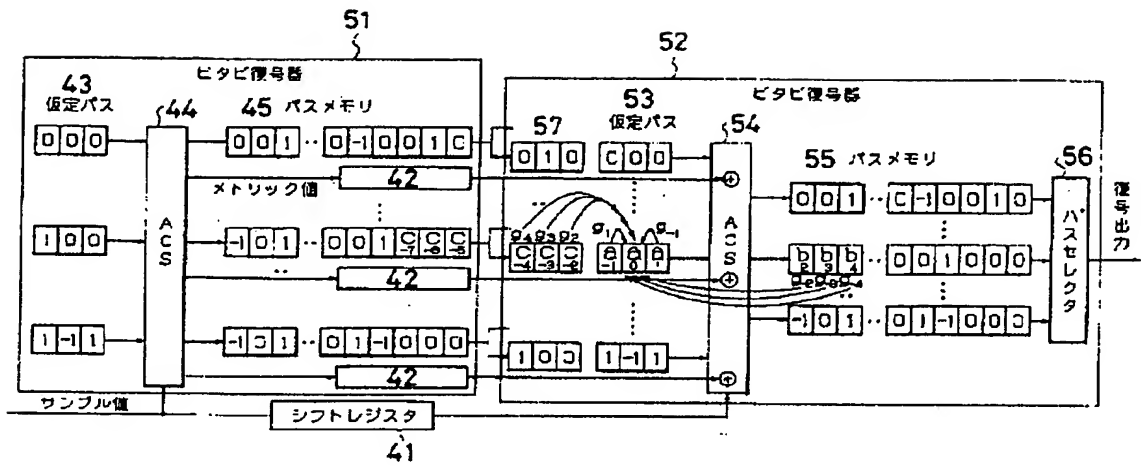
第 3 図



仮定サンプル値算出部の要部ブロック図

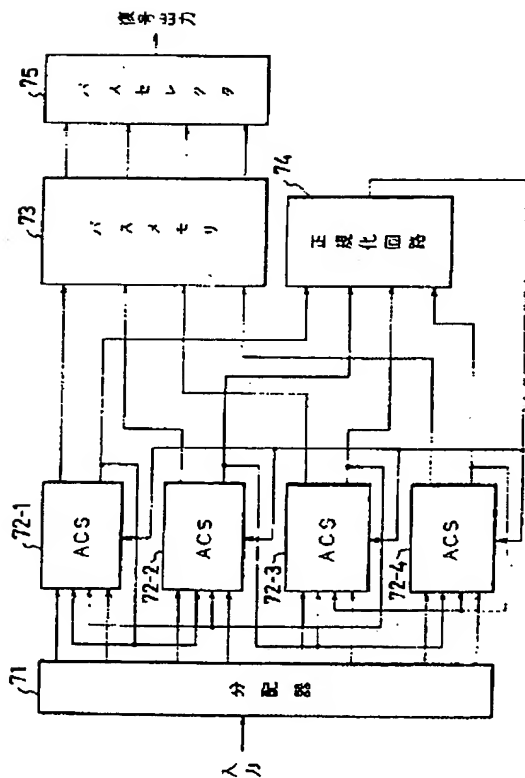
第 4 図





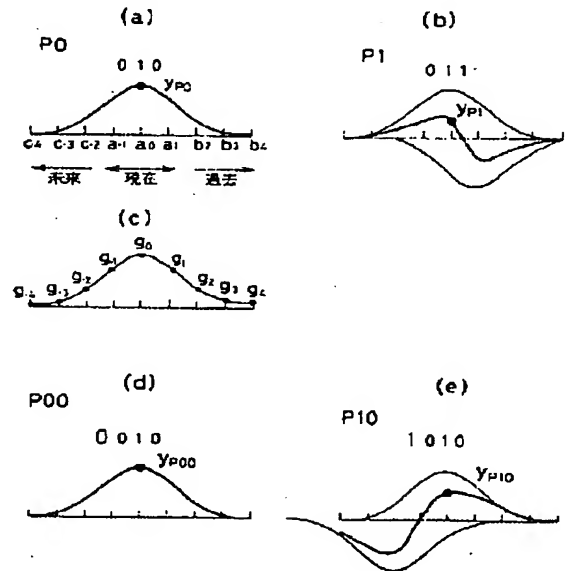
本発明の他の実施例の要部ブロック図

第 5 図



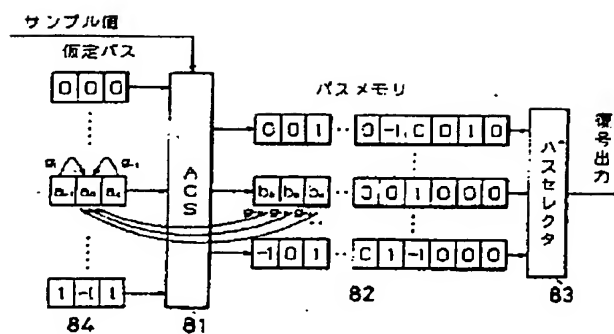
ビットビ復号器のブロック図

第 7 図



信号波形説明図

第 9 図



従来例の要部ブロック図

第 10 図

第 1 頁の続き

②発 明 者      笠 井      希   一   郎      神奈川県川崎市中原区上小田中1015番地    富士通株式会社  
内